

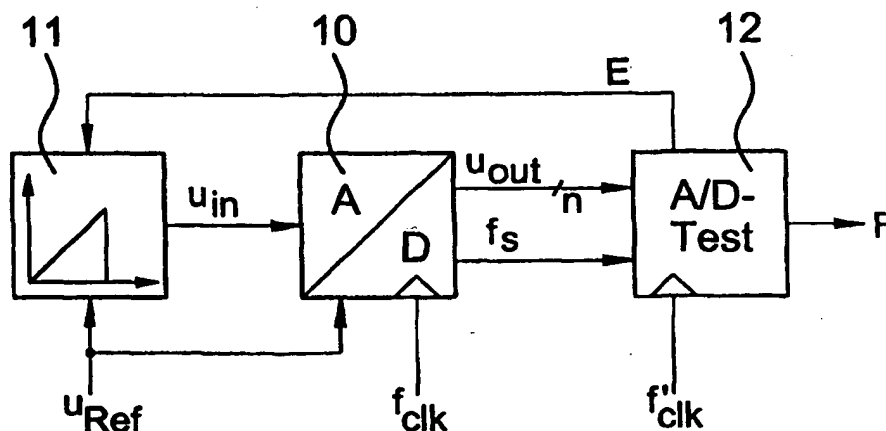
(51) Internationale Patentklassifikation ⁷ : H03M 1/10 // 1/12		A1	(11) Internationale Veröffentlichungsnummer: WO 00/33465
		(43) Internationales Veröffentlichungsdatum:	8. Juni 2000 (08.06.00)
(21) Internationales Aktenzeichen: PCT/EP99/09249		(81) Bestimmungsstaaten: JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).	
(22) Internationales Anmeldedatum: 29. November 1999 (29.11.99)		Veröffentlicht <i>Mit internationalem Recherchenbericht.</i> <i>Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>	
(30) Prioritätsdaten: 198 55 743.4 3. Dezember 1998 (03.12.98) DE 199 12 766.2 22. März 1999 (22.03.99) DE			
(71) Anmelder (für alle Bestimmungsstaaten ausser US): CONTINENTAL TEVES AG & CO. OHG [DE/DE]; Guerickestrasse 7, D-60488 Frankfurt (DE).			
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): OEHLER, Peter [DE/DE]; Adolf-Haeuser-Strasse 18, D-65929 Frankfurt-Höchst (DE). FEY, Wolfgang [DE/DE]; Nesselweg 17, D-65527 Niedernhausen (DE).			
(74) Gemeinsamer Vertreter: CONTINENTAL TEVES AG & CO. OHG; Guerickestrasse 7, D-60488 Frankfurt (DE).			

(54) Title: CIRCUIT CONFIGURATION FOR TESTING AN A/D CONVERTER FOR APPLICATIONS THAT ARE CRITICAL IN TERMS OF SAFETY

(54) Bezeichnung: SCHALTUNGSANORDNUNG ZUM TESTEN EINES A/D-WANDLERS FÜR SICHERHEITSKRITISCHE ANWENDUNGEN

(57) Abstract

The invention relates to a circuit configuration with an A/D converter, for applications that are critical in terms of safety. The inventive circuit configuration is especially characterised by a ramp signal generator (11) for generating a ramp voltage which is delivered to the input of the A/D converter (10), and by a test circuit (12) for activating a test cycle. The test cycle comprises a first run of the ramp, with which a reference measurement of the ramp signal generator is carried out for compensating component tolerances, and a second run of the ramp, in which an error signal (F) is output if the value that is calculated for a transmission characteristic of the A/D converter lies outside of a predetermined tolerance range of the measured value of the transmission characteristic.



(57) Zusammenfassung

Es wird eine Schaltungsanordnung mit A/D-Wandler für sicherheitskritische Anwendungen beschrieben, die sich insbesondere auszeichnet durch einen Rampensignalgenerator (11) zur Erzeugung einer dem Eingang des A/D-Wandlers (10) zugeführten Rampenspannung, sowie eine Testschaltung (12) zur Aktivierung eines Testzyklus, der einen ersten Durchlauf der Rampe umfaßt, mit dem eine Referenzmessung des Rampensignalgenerators zur Kompensation von Bauelement-Toleranzen durchgeführt wird, sowie einen zweiten Durchlauf der Rampe beinhaltet, bei dem ein Fehlersignal (F) ausgegeben wird, wenn der für eine Übertragungskenngröße des A/D-Wandlers berechnete Wert außerhalb eines vorgegebenen Toleranzbereiches des gemessenen Wertes der Übertragungskenngröße liegt.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland			TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	MX	Mexiko		
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun			PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

SCHALTUNGSANORDNUNG ZUM TESTEN EINES A/D-WANDLERS FÜR SICHERHEITSKRITISCHE ANWENDUNGEN

Die Erfindung betrifft eine Schaltungsanordnung mit einem A/D-Wandler insbesondere für sicherheitskritische Anwendungen.

Bei Schaltungen für sicherheitskritische Anwendungen und Systeme ist die Zuverlässigkeit und ein fehlerfreier Betrieb von besonderer Bedeutung. Insbesondere ist sicherzustellen, daß im Falle einer Fehlfunktion einer Komponente das Gesamtsystem nicht gefährdet wird. Um dieses Ziel zu erreichen, ist es notwendig, Fehler in der betreffenden Komponente zu erkennen und geeignete Maßnahmen zu ergreifen.

Eine solche, auf fehlerfreien Betrieb zu überwachende Komponente ist zum Beispiel ein A/D (Analog/Digital) -Wandler. Es ist bekannt, zwei identische A/D-Wandler parallel zu betreiben, die Ausgangssignale beider Wandler auf Gleichheit zu überwachen und eine Fehlermeldung zu erzeugen, wenn die Gleichheit - unter Berücksichtigung der üblichen Wandler-toleranzen - nicht mehr gegeben ist. Da ein A/D-Wandler insbesondere bei höheren Ansprüchen an Geschwindigkeit und Genauigkeit jedoch relativ aufwendig in der Realisierung ist, wird diese Lösung aus Kostengründen im allgemeinen als nachteilig angesehen.

Der Erfindung liegt deshalb die Aufgabe zugrunde, eine Schaltungsanordnung mit einem A/D-Wandler zu schaffen, bei der die für sicherheitskritische Anwendungen erforderliche Überwachung der Funktion des A/D-Wandlers mit geringerem Schaltungsaufwand möglich ist.

- 2 -

Gelöst wird diese Aufgabe gemäß Anspruch 1 mit einer Schaltungsanordnung der eingangs genannten Art, die sich auszeichnet durch einen Rampensignalgenerator zur Erzeugung einer dem Eingang des A/D-Wandlers zugeführten Rampenspannung, sowie eine Testschaltung zur Aktivierung eines Testzyklus', der einen ersten Durchlauf der Rampe umfaßt, mit dem eine Referenzmessung des Rampensignalgenerators zur Kompensation von Bauelement-Toleranzen durchgeführt wird, sowie einen zweiten Durchlauf der Rampe beinhaltet, bei dem eine Fehlermeldung ausgegeben wird, wenn der für eine Übertragungskenngröße des A/D-Wandlers berechnete Wert außerhalb eines vorgegebenen Toleranzbereiches des gemessenen Wertes der Übertragungskenngröße liegt.

Ein besonderer Vorteil dieser Lösung besteht darin, daß durch die Referenzmessung im ersten Durchlauf und die dadurch mögliche Kompensation verschiedener Toleranzen des Rampensignalgenerators dessen Schaltungsaufwand relativ gering gehalten werden kann.

Die Unteransprüche haben vorteilhafte Weiterbildungen der Erfindung zum Inhalt. Danach kann die Übertragungskenngröße eine Ausgangsspannung oder eine Anzahl von Abtastungen sein.

Weitere Einzelheiten, Merkmale und Vorteile der Erfindung ergeben sich aus der folgenden Beschreibung einer bevorzugten Ausführungsform anhand der Zeichnung. Es zeigt:

Fig. 1 ein Prinzipschaltbild einer erfindungsgemäßen Schaltungsanordnung mit einem A/D-Wandler;

Fig. 2 ein Rampensignal zum Ansteuern eines A/D-Wandlers;

Fig. 3 ein Zustandsübergangsdiagramm zur Verdeutlichung des erfindungsgemäßen Betriebs eines A/D-Wandlers;

- 3 -

Fig. 4 ein Flußdiagramm eines ersten Teils eines ersten, zweiten und dritten erfindungsgemäßen Verfahrens;
Fig. 5 ein Flußdiagramm eines zweiten Teils des ersten erfindungsgemäßen Verfahrens;
Fig. 6 ein Flußdiagramm eines zweiten Teils des zweiten erfindungsgemäßen Verfahrens; und
Fig. 7 ein Blockschaltbild einer erfindungsgemäßen Schaltungsanordnung.

Ein wesentlicher Kern der erfindungsgemäßen Lösung besteht darin, einen A/D-Wandler im laufenden Normalbetrieb ständig im Hinblick auf seine Funktionsfähigkeit zu überwachen. Zu diesem Zweck kommen bis zu vier Kriterien zur Anwendung. Dies sind zum einen die Einhaltung der Toleranzen der statischen Genauigkeit. Hierzu gehören Offsetfehler, Verstärkungsfehler, integrale und differentielle Linearitätsfehler, sowie Quantisierungsfehler und Rauschen. Diese Größen werden zu der sogenannten totalen Umsetzgenauigkeit zusammengefaßt.

Als zweites Kriterium dient eine Prüfung auf Taktausfall. Das dritte Kriterium besteht in dem zeitlichen Verhalten des A/D-Wandlers, und zwar im Hinblick auf die Lage der Abtastfrequenz innerhalb eines zulässigen Toleranzbereiches, sowie im Hinblick auf eine korrekte Ermittlung der Abtastwerte im Normalbetrieb.

Das vierte Kriterium dient einer Überwachung der Referenzspannung des A/D-Wandlers.

Ein Prinzipschaltbild einer entsprechenden erfindungsgemäßen Schaltungsanordnung ist in Figur 1 gezeigt. Mit dem Eingang eines zu überwachenden A/D-Wandlers 10 ist ein Rampsignalgenerator 11 verbunden. Am Ausgang des A/D-

- 4 -

Wandlers 10 liegt eine Testschaltung an. Der A/D-Wandler 10 setzt die an seinem Eingang anliegende analoge Rampenspannung u_{in} , die in Figur 2 dargestellt ist, in eine digitale Ausgangsspannung u_{out} um, die mit der Testschaltung 12 ausgewertet wird. Die Testschaltung wird dabei von dem Abtastsignal f_s des A/D-Wandlers getriggert und erzeugt ein Entladesignal E für den betreffenden Kondensator des Rampensignalgenerators.

Die Steigung m der in Figur 2 gezeigten Rampenspannung ergibt sich aus dem Strom I der Referenzstromquelle und der Kapazität C des Kondensators zu $m = I/C$. Aus den Toleranzen der Bauelemente ergibt sich eine minimale Rampensteigung $m_{min} = I_{min}/C_{max}$ und eine maximale Rampensteigung $m_{max} = I_{max}/C_{min}$. Außerdem gilt $m = (u_{max} * f_s) / cl$, wobei u_{max} die maximale Rampenspannung und cl der Zählerstand beim Erreichen von u_{max} ist. Weiterhin gilt $m = (u_{Delta} * f_s) / 1 = u_{LSB} / t_{Delta}$, wobei u_{Delta} die Spannungsänderung pro Abtastung und t_{Delta} die Zeit ist, die zur Änderung der Spannung um 1 LSB benötigt wird. Diese Zusammenhänge sind auch in Figur 2 eingetragen, wobei die Darstellung allerdings nicht maßstabsgetreu ist.

Das Grundprinzip bei der erfindungsgemäßen Lösung besteht darin, die Rampenspannung u_{in} am Eingang des A/D-Wandlers 10 zwei Mal durchlaufen zu lassen und verschiedene Messungen bezüglich der Ausgangssignale u_{out} vorzunehmen. Mit dem ersten Durchlauf wird die Zeitdauer gemessen, die der Rampensignalgenerator 11 benötigt, um die Rampenspannung von einer negativen Referenzspannung $-U_{Ref}$ bzw. dem Wert Null (Masse) bis zum Rampenanschlag, das heißt maximal bis zur positiven Referenzspannung $+U_{Ref}$ bzw. u_{max} zu erhöhen. Diese Zeitdauer wird als Vielfaches der Abtastzeit des A/D-Wandlers erfaßt.

- 5 -

Diese Messung dient zur Eliminierung von verschiedenen Toleranzen des Rampensignalgenerators 11 aus den Ergebnissen des zweiten Durchlaufs.

Im einzelnen sind dies Toleranzen der Referenzspannung U_{Ref} des A/D-Wandlers, des Endwertes u_{max} der Rampe (sofern $u_{max} < U_{Ref}$ ist), sowie eine Veränderung der durch die Toleranzen des Stroms I der Referenzstromquelle sowie der Kapazität C des Kondensators bewirkten Rampensteigung. Durch die Kompensation dieser Toleranzen kann im übrigen der Schaltungsaufwand für den Rampengenerator in akzeptablen Grenzen gehalten werden.

In einem zweiten Durchlauf wird nun geprüft, ob verschiedene Übertragungskenngrößen des A/D-Wandlers im spezifizierten Toleranzbereich liegen. Für diesen Durchlauf werden drei verschiedene Verfahren beschrieben, von denen in Abhängigkeit von der gewünschten Genauigkeit und Zuverlässigkeit eines oder mehrere durchgeführt werden können.

Diese beiden Durchläufe werden durch das in Figur 3 dargestellte Grundgerüst eines Zustandsübergangsdiagramms der Testschaltung 12 verdeutlicht.

Der erste Durchlauf beginnt mit einer Initialisierung (I), mit der der Kondensator des Rampensignalgenerators mit dem Entladesignal E (Figur 1) entladen und ein erster Zähler zurückgesetzt wird. Während anschließend die Rampenspannung hochfährt, zählt ein erster Zähler die Abtastsignale. Falls nach einer bestimmten Zeit (Erreichen eines maximalen Zählerstandes cl_{max}) kein Rampenanschlag festgestellt wird, wird ein Fehlersignal F erzeugt. Wenn ein Rampenanschlag erkannt wird, geht die Testschaltung in den Setup-Zustand (S) über. Zum Abschluß dieses ersten Durchlaufs wird nun

- 6 -

noch überprüft, ob die erreichte maximale Rampenspannung u_{\max} innerhalb eines spezifizierten Toleranzbereiches ("full scale error") liegt. Wenn dies nicht der Fall ist, wird das Fehlersignal F erzeugt.

Wenn keines der genannten Fehlersignale f erzeugt wurde, werden je nach dem gewählten Verfahren u_{Δ} bzw. t_{Δ} berechnet sowie der Kondensator des Rampensignalgenerators erneut entladen und - sofern der A/D-Wandler eine Berechnungszeit (Latenzzeit) von einer Abtastzeit besitzt - ein Wartezustand (W) eingelegt.

In dem nun folgenden zweiten Durchlauf (M) werden wahlweise eines oder mehrere der oben genannten drei Verfahren durchgeführt, wobei mit dem ersten und zweiten Verfahren zu bestimmten Zeitpunkten Spannungen geprüft werden, während mit dem dritten Verfahren zu bestimmten Spannungsänderungen Zeiten erfaßt werden. Wenn diese Spannungen bzw. Zeiten außerhalb der Toleranzbereiche liegen, wird das Fehlersignal erzeugt. Andernfalls wird bei Erfassung des Rampenanschlages die Messung als fehlerfrei beendet und die nächste Messung initialisiert (I).

Figur 4 zeigt das Flußdiagramm des Ablaufes der Zustände I (Initialisierung) und T (Zeitmessung), die mit der Testschaltung durchgeführt werden und die für alle drei Verfahren gleich sind.

Die Initialisierung I beginnt mit einem Schritt S1 mit der Erzeugung des Entladesignals E für den Kondensator C des Rampensignalgenerators. Anschließend wird mit einem Schritt S2 der Stand c1 eines erster Zähler zurückgesetzt, und zwar auf einen Wert von -2, wodurch Verzögerungen durch den Algorithmus und die Berechnungszeit des A/D-Wandlers

- 7 -

(Latenzzeit) kompensiert werden. Außerdem wird mit einem Schritt S3 der Stand c2 eines zweiten Zählers auf Null gesetzt.

Die anschließende Zeitmessung (T) verläuft in zwei Schleifen und beginnt mit einem Nullsetzen des Entladesignals E mit einem Schritt S4. Außerdem wird gemäß Schritt S5 der Stand c1 des ersten Zählers, mit dem die Anzahl von Abtastungen bis zum Erreichen des Rampenanschlages gezählt wird, um den Wert 1 erhöht und gemäß Schritt S6 die Ausgangsspannung u_{out} des A/D-Wandlers als Wert u_{old} gespeichert. Anschließend wird mit einem Schritt S7 abgefragt, ob der neue Wert u_{out} der Ausgangsspannung gleich dem alten Wert u_{old} ist. Wenn diese Abfrage mit "nein" zu beantworten ist, wird gemäß Schritt S8 der Stand c2 des zweiten Zählers auf Null gesetzt und gemäß Schritt S9 abgefragt, ob der Stand c1 des ersten Zählers seinen Maximalwert $c1_{max}$ erreicht hat. Wenn dies nicht der Fall ist, wird dieser Ablauf beginnend mit dem Schritt S4 wiederholt, da sich einerseits die Ausgangsspannung u_{out} mit jeder Abtastung noch ändert und andererseits die zum Erreichen des Rampenanschlages erforderliche Anzahl von Abtastungen $c1_{max}$ noch nicht erreicht ist.

Wenn hingegen die Abfrage gemäß Schritt S9 mit "ja" beantwortet wird, das heißt wenn die auch für den ungünstigsten Fall erforderliche, maximale Anzahl $c1_{max}$ von Abtastungen erreicht ist, bei der der Rampenanschlag bei fehlerfreiem A/D-Wandler garantiert erreicht sein müßte, wird gemäß Schritt S10 eine Fehlermeldung aufgrund eines Nichterreichens des Rampenanschlages erzeugt, und der Ablauf wird, beginnend mit der Initialisierung (I), wiederholt.

- 8 -

Sobald sich die Ausgangsspannung u_{out} des A/D-Wandlers gegenüber der vorherigen Abtastung nicht mehr ändert und somit die Abfrage in Schritt S7 mit "ja" zu beantworten ist, wird mit Schritt S11 der Stand $c2$ des zweiten Zählers um den Wert 1 erhöht und in Schritt S12 abgefragt, ob dieser neue Zählerstand gleich dem Wert von $t_{Delta-max}$, das heißt der Anzahl von Abtastungen ist, bei der im ungünstigsten Fall die Ausgangsspannung u_{out} während des Anstiegs der Rampenspannung garantiert um 1 LSB ansteigt. Wenn diese Abfrage mit "nein" beantwortet wird, wird die Zeitmessung T wiederholt und der Ablauf mit Schritt S4 fortgesetzt. Wenn hingegen die Abfrage mit "ja" beantwortet wird, das heißt der Rampenanschlag wurde erreicht, so geht der Testautomat in den Zustand S ("setup") über.

Figur 5 zeigt nun für das erste Verfahren den zweiten Teil (Zustände S, W und M gemäß Figur 3) des weiteren Ablaufs. Der Setup-Zustand S beginnt mit der Abfrage in Schritt S13, ob die gemessene Rampenanschlagsspannung u_{out} außerhalb des Toleranzbereiches u_{FS} liegt, wobei u_{FS} der Ausgangswert des A/D-Wandlers am Bereichsende ("full scale") ist. Wenn dies der Fall ist, wird mit Schritt S14 ein Fehlersignal F auf den Wert 1 gesetzt und der Ablauf mit der Initialisierung I gemäß Figur 4 wiederholt.

Wenn die Abfrage in Schritt S13 mit "nein" beantwortet wird, wird mit Schritt S15 der Wert der maximalen Ausgangsspannung u_{max} auf den letzten Wert u_{old} dieser Spannung gesetzt und in Schritt 16 die mittlere Spannungsänderung u_{Delta} pro Abtastung berechnet ($u_{Delta} = u_{max} / c1$). Anschließend wird mit Schritt S17 der Kondensator des Rampensignalgenerators durch Erzeugung des Entladesignals $E = 1$ entladen und mit Schritt S18 eine Vergleichsspannung u_{plus} ,

- 9 -

die als berechnete Spannung mit der zu messenden Spannung zu vergleichen ist, auf Null gesetzt.

Der Testautomat nimmt dann den Wartezustand W ein und setzt das Entladesignal E mit Schritt S19 für den Kondensator des Rampensignalgenerators auf Null.

Anschließend werden in dem Meßzustand M die eigentlichen Spannungsmessungen vorgenommen. Zu diesem Zweck wird mit Schritt S20 zunächst die Vergleichsspannung u_{plus} um den Wert u_{delta} inkrementiert. In Schritt S21 wird dann abgefragt, ob die Ausgangsspannung u_{out} außerhalb des Toleranzbereiches der Vergleichsspannung u_{plus} liegt. Wenn dies der Fall ist, wird mit Schritt S22 ein Fehlersignal F auf den Wert 1 gesetzt und der Ablauf mit der Initialisierung I gemäß Figur 4 wiederholt.

Wenn die Abfrage im Schritt S21 mit "nein" beantwortet wird, wird in Schritt S23 abgefragt, ob die Vergleichsspannung u_{plus} innerhalb des Toleranzbereiches der maximalen Ausgangsspannung u_{max} liegt. Wenn diese Abfrage mit "ja" beantwortet wird, wird gemäß Schritt S24 das Fehlersignal F auf den Wert 0 gesetzt. In diesem Fall ist der Rampenanschlag erreicht, und die Messung wird als fehlerfrei abgeschlossen, da gemäß Schritt S21 die gemessene Ausgangsspannung u_{out} nicht außerhalb des Toleranzbereiches der berechneten Vergleichsspannung u_{plus} liegt. Der gesamte Ablauf kann dann mit der Initialisierung I gemäß Figur 4 wiederholt werden.

Wenn die Abfrage in Schritt S23 mit "nein" beantwortet wird, ist der Rahmenanschlag noch nicht erreicht, und die Spannungsmessung wird durch Rückkehr des Ablaufes zum Beginn des Zustands M wiederholt.

- 10 -

Bei den beiden Toleranzbereichen müssen alle Ungenauigkeiten des A/D-Wandlers geeignet berücksichtigt werden.

Figur 6 zeigt für das oben genannte zweite Verfahren den zweiten Teil des Ablaufs (Zustände S, W und M). Der wesentliche Unterschied besteht darin, daß im Gegensatz zu dem ersten Verfahren in dem Setup-Zustand S anstelle von u_{Δ} nun t_{Δ} ($=1/u_{\Delta}$), das heißt die Zeit, die zur Änderung der Spannung um 1 LSB benötigt wird, berechnet wird.

Diese Berechnung erfolgt durch eine Division oder eine Schiebe-Operation um n Bit nach rechts, sofern als maximale Rampenspannung u_{\max} die Referenzspannung U_{Ref} des A/D-Wandlers verwendet wird (in diesem Fall kann auf die Messung von u_{\max} verzichtet werden, da diese bis auf den Toleranzbereich [full scale error] bereits bekannt ist).

Während der Messung (Zustand M) wird dann alle t_{Δ} geprüft, ob die am A/D-Wandler gemessene Ausgangsspannung u_{out} im zulässigen Toleranzbereich liegt, wobei diese mit einem Sollwert u_{plus} verglichen wird, der alle t_{Δ} um 1 LSB (bzw. Vielfache davon) inkrementiert wird. Alternativ kann dieser Vergleich auch bei jeder Abtastung erfolgen.

Im einzelnen beginnt der Ablauf im Zustand S mit einer Abfrage in Schritt S25, ob die Ausgangsspannung des A/D-Wandlers außerhalb des Toleranzbereiches u_{FS} liegt. Wenn dies der Fall ist, wird mit Schritt S26 das Fehlersignal F auf den Wert 1 gesetzt und der Ablauf durch Rückkehr zur Initialisierung I fortgesetzt. Wenn die Abfrage mit "nein" beantwortet wird, wird mit Schritt S27 der Wert t_{Δ} wie oben angegeben berechnet. Anschließend wird mit Schritt S28 das Entladesignal E für den Kondensator des Rampensignalgenerators auf den Wert 1 gesetzt, in Schritt S29 der Wert

- 11 -

der durch Berechnung ermittelten Vergleichsspannung u_{plus} auf den Wert 0, sowie in Schritt S30 der Stand c2 des zweiten Zählers ebenfalls auf den Wert 0 gesetzt.

Während des anschließenden Wartezustands W wird mit Schritt S31 das Entladesignal E für den Kondensator des Rampensignalgenerators auf den Wert 0 gesetzt.

In dem Meßzustand M wird nun die eigentliche Spannungsmessung durchgeführt. Zu diesem Zweck wird zunächst in Schritt S32 abgefragt, ob der Stand c2 des zweiten Zählers der Zeitdauer t_{Delta} entspricht. Wenn dies nicht der Fall ist, wird mit der durch Schritt S36 gebildeten Schleife der Stand c2 solange um 1 inkrementiert, bis die Abfrage in Schritt S32 mit "ja" beantwortet wird. In diesem Fall wird dann der Zählerstand mit Schritt S33 auf den Wert 1 gesetzt und mit Schritt S34 die Vergleichsspannung u_{plus} um den Wert 1 inkrementiert.

Anschließend folgt mit Schritt S35 eine Abfrage, ob die Ausgangsspannung u_{out} außerhalb des Toleranzbereiches der Vergleichsspannung u_{plus} liegt. Wenn dies der Fall ist, wird mit Schritt S37 das Fehlersignal F auf den Wert 1 gesetzt und der Ablauf durch Rückkehr zur Initialisierung I (Figur 4) wiederholt.

Wenn die Ausgangsspannung u_{out} nicht außerhalb des Toleranzbereiches der Vergleichsspannung u_{plus} liegt, wird mit Schritt S38 abgefragt, ob die Vergleichsspannung u_{plus} innerhalb des Toleranzbereiches der Rampenanschlagsspannung u_{fs} liegt. Wenn diese Abfrage mit "ja" beantwortet wird, wird mit Schritt S39 das Fehlersignal F auf den Wert 0 gesetzt und der Ablauf durch Rückkehr zur Initialisierung I

fortgesetzt. Im anderen Fall erfolgt ein Rücksprung zum Anfang des Meßzustands M.

Bei dem ersten und zweiten Verfahren findet durch das Aufsummieren von u_{Δ} bzw. das Zählen von t_{Δ} eine Fehlerfortpflanzung statt. Aus diesem Grund muß die Berechnung von u_{Δ} bzw. t_{Δ} durch eine Division mit hoher Genauigkeit, das heißt großer Wortbreite erfolgen. Dies gilt auch für die Weiterverarbeitung.

Ein Vorteil des zweiten Verfahrens besteht darin, daß im Vergleich zu dem ersten Verfahren auf einen Dividierer verzichtet werden kann. Ferner kann der Addierer auf eine geringere Wortbreite ausgelegt sein.

Im Gegensatz zu dem beschriebenen ersten und zweiten Verfahren, bei denen zu bestimmten Zeitpunkten Spannungen gemessen werden, werden bei dem dritten Verfahren zu bestimmten Spannungsänderung Zeiten erfaßt und geprüft, ob diese Zeiten innerhalb der Toleranzbereiche liegen. Zu diesem Zweck wird mit Hilfe des gemessenen Standes c_1 des ersten Zählers sowie der maximalen Ausgangsspannung u_{\max} (bei $u_{\max} < U_{\text{Ref}}$) in dem Setup-Zustand S die minimale und die maximale Anzahl von Abtastungen berechnet, die zwischen zwei Spannungsänderungen am Ausgang des A/D-Wandlers unter Berücksichtigung aller Wandler-Ungenauigkeiten gerade noch im tolerierbaren Bereich liegt.

Im Meßzustand M wird dabei nach jeder Spannungsänderung der Zähler zurückgesetzt und so lange inkrementiert, bis am Ausgang des A/D-Wandlers die nächste Spannungsänderung auftritt. Anschließend wird geprüft, ob der Zählerstand in einem Bereich zwischen minimaler und maximaler Anzahl von Abtastungen steht, der für diese Spannungsänderung tolerier-

- 13 -

bar ist, und ob die differentielle Spannungsänderung im zugelassenen Bereich liegt. Bei diesem dritten Verfahren findet wegen des Rücksetzens des Zählers keine Fehlerfortpflanzung statt, so daß mit geringerer Wortbreite gearbeitet werden kann.

Andererseits ist bei diesem Verfahren zu berücksichtigen, daß die Zeit zwischen zwei Spannungsänderungen als Vielfaches der Abtastzeit gemessen wird. Dies entspricht definitionsgemäß nur einer Messung der differentiellen Nichtlinearität (DNL) in Gestalt einer relativen Messung zwischen zwei Abtastwerten. Absolute Abweichungen von der idealen Übertragungskennlinie, die durch die integrale Nichtlinearität INL ausgedrückt werden, werden dabei nicht erfaßt.

Die Aufsummierung der DHL von "...00" bis zum Rampenan-schlag bei "...FF" ergibt gerade die INL. Entsprechend muß nach jedem Spannungssprung am Ausgang des A/D-Wandlers die Summe

$$t_{\text{sum}} = t_{\text{sum}} + c2 - t_{\text{Delta}} (u_{\text{out}} - u_{\text{old}})$$

gebildet werden. t_{sum} darf sich bei einer INL von ± 1 LSB (z.B.) nur im Bereich von $\pm t_{\text{Delta}}$ bewegen. Dabei ist $c2$ die gemessene Zeit zwischen dem letzten und dem aktuellen Spannungssprung als Ganzzahliges einer Abtastung. Idealerweise erfolgt ein Sprung um $+1$ Bit alle t_{Delta} . Bedingt durch Rauschen können aber auch Sprünge um -1 , $+2$ oder $+3$ Bit etc. erfolgen. Dies wird durch die Differenzbildung $(u_{\text{out}} - u_{\text{old}})$ erfaßt. Wegen der Fehlerfortpflanzung muß bei dieser Aufsummierung t_{Delta} mit einer höheren Auflösung (als bei dem zweiten Verfahren) ausgelegt werden.

- 14 -

Figur 7 zeigt ein mögliches Blockschaltbild eines Testautomaten 12 zur Durchführung des ersten Verfahrens. Die Schaltung ist digitalisiert und umfaßt im wesentlichen ein Steuerwerk 121, einen ersten und einen zweiten Zähler 122a, 122b, einen ersten, einen zweiten und einen dritten Komparator 123a, 123b, 123c, einen Dividierer 124, einen Addierer 125, einen ersten und einen zweiten Multiplexer 126a, 126b, sowie ein erstes bis viertes Register 127a, 127b, 127c, 127d.

Das Steuerwerk 121, an dem die Abtastfrequenz f_s sowie eine Taktfrequenz f'_{clk} anliegt, erzeugt das Entladesignal E für den Kondensator des Rampensignalgenerators, das Fehlersignal F sowie verschiedene weitere Steuer-, Rücksetz- und Freigabesignale. An dem ersten Register 127a sowie einem ersten Eingang des zweiten Multiplexer 126b liegt die Ausgangsspannung u_{out} des A/D-Wandlers an.

Der Ausgang des ersten Registers 127a ist als Spannungswert u_{old} mit einem ersten Eingang des ersten Multiplexers 126a, dem Eingang des zweiten Registers 127b, sowie einem ersten Eingang des Dividierers 124 verbunden. Der Ausgang des zweiten Registers 127b liegt an einem zweiten Eingang des zweiten Multiplexers 126b an. Die Ausgänge des ersten und zweiten Multiplexers 126a, 126b sind mit jeweils einem Eingang des ersten Vergleichers 123a verbunden, mit dem die Eingangssignale auf Gleichheit unter Berücksichtigung der Toleranzbereiche verglichen werden. Der Ausgang des ersten Vergleichers 123a ist mit dem Steuerwerk 121 verbunden.

Der Ausgang des ersten Zählers 122a ist als Zählerstand c1 mit einem zweiten Eingang des Dividierers 124 sowie einem ersten Eingang des zweiten Vergleiches 123b verbunden. Der Ausgang des zweiten Zählers 122b ist als Zählstand c2 mit

- 15 -

einem ersten Eingang des dritten Vergleichers 123c verbunden. An einem zweiten Eingang des zweiten Vergleiches 123b liegt der maximale Zählwert cl_{max} an, während einem zweiten Eingang des dritten Vergleiches 123c der Wert $t_{delta-max}$ zugeführt wird. Die Ausgänge des zweiten und dritten Vergleichers sind mit der Steuereinheit 121 verbunden.

Der Ausgang des Dividierers 124 liegt an dem Eingang des dritten Registers 127c an, dessen Ausgang als Spannungswert u_{Delta} mit einem ersten Eingang des Addierers 125 verbunden ist. Der Ausgang des Addierers 125 ist an den Eingang des vierten Registers 127d geführt, dessen Ausgang als Spannungswert u_{plus} mit einem zweiten Eingang des Addierers 125 sowie einem zweiten Eingang des ersten Multiplexers 126a verbunden ist. An einem dritten Eingang des ersten Multiplexers 126a liegt schließlich der Spannungswert u_{fs} an.

Da bei allen drei Verfahren die Übertragungskenngrößen des A/D-Wandlers nur relativ zur Spannung am Rampenanschlag gemessen werden, müssen sie um die Messung zweier Absolutwerte ergänzt werden, wobei einer davon die Offsetspannung ist.

Der Testautomat kann zur Reduzierung des gesamten Schaltungsaufwandes auch durch ein Rechnerprogramm realisiert werden.

- 16 -

Bezugszeichenliste

- 10 - A/D-Wandler
- 11 - Rampensignalgenerator
- 12 - Testschaltung
- 121 - Steuerwerk
- 122a, 122b - erster bzw. zweiter Zähler
- 123a, 123b, 123c - erster, zweiter bzw. dritter Komparator
- 124 - Dividierer
- 125 - Addierer
- 126a, 126b - erster bzw. zweiter Multiplexer
- 127a, 127b, 127c, 127d - erstes bis viertes Register

Patentansprüche

1. Schaltungsanordnung mit A/D-Wandler für sicherheitskritische Anwendungen, gekennzeichnet durch einen Rampensignalgenerator (11) zur Erzeugung einer dem Eingang des A/D-Wandlers (10) zugeführten Rampenspannung, sowie eine Testschaltung (12) zur Aktivierung eines Testzyklus', der einen ersten Durchlauf der Rampe umfaßt, mit dem eine Referenzmessung des Rampensignalgenerators zur Kompensation von Bauelement-Toleranzen durchgeführt wird, sowie einen zweiten Durchlauf der Rampe beinhaltet, bei dem ein Fehlersignal (F) ausgegeben wird, wenn der für eine Übertragungskenngröße des A/D-Wandlers (10) berechnete Wert außerhalb eines vorgegebenen Toleranzbereiches des gemessenen Wertes der Übertragungskenngröße liegt.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß mit dem ersten Durchlauf der Rampe Toleranzen einer Referenzspannung (U_{Ref}) des A/D-Wandlers und der maximalen Rampenspannung (u_{max}) sowie der Steigung (m) der Rampenspannung des Rampensignalgenerators kompensiert werden.
3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß mit dem ersten Durchlauf der Rampe die Zeit gemessen wird, die für einen Rampendurchlauf erforderlich ist, wobei diese Zeit als eine Anzahl (cl) von Abtastungen bis zum Erreichen der maximalen Rampenspannung (u_{max}) ermittelt wird.

- 18 -

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Übertragungskenngröße die für eine oder eine Mehrzahl (n) von Abtastungen berechnete Ausgangsspannung ($u_{\text{plus}} + n u_{\text{Delta}}$) ist und das Fehlersignal (F) erzeugt wird, wenn diese außerhalb eines vorgegebenen Toleranzbereiches der bei diesen Abtastungen gemessenen Ausgangsspannung (u_{out}) liegt.
5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß mit der Testschaltung die zur Änderung der Ausgangsspannung um 1 LSB erforderliche Zeitdauer (t_{Delta}) berechnet und die Übertragungskenngröße die für eine oder eine Mehrzahl (n) von Zeitdauern (t_{Delta}) berechnete Ausgangsspannung (u_{plus}) ist und das Fehlersignal (F) erzeugt wird, wenn diese außerhalb eines vorgegebenen Toleranzbereiches der zu den betreffenden Zeitpunkten ($n t_{\text{Delta}}$) gemessenen Ausgangsspannung (u_{out}) liegt.
6. Schaltungsanordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Übertragungskenngröße die für eine Änderung der Ausgangsspannung (u_{out}) um ein oder eine Mehrzahl von LSBs erforderliche Anzahl von Abtastungen ist und ein Fehlersignal (F) erzeugt wird, wenn diese Anzahl außerhalb eines vorgegebenen Toleranzbereiches der gezählten Anzahl von Abtastungen liegt.

Fig. 1

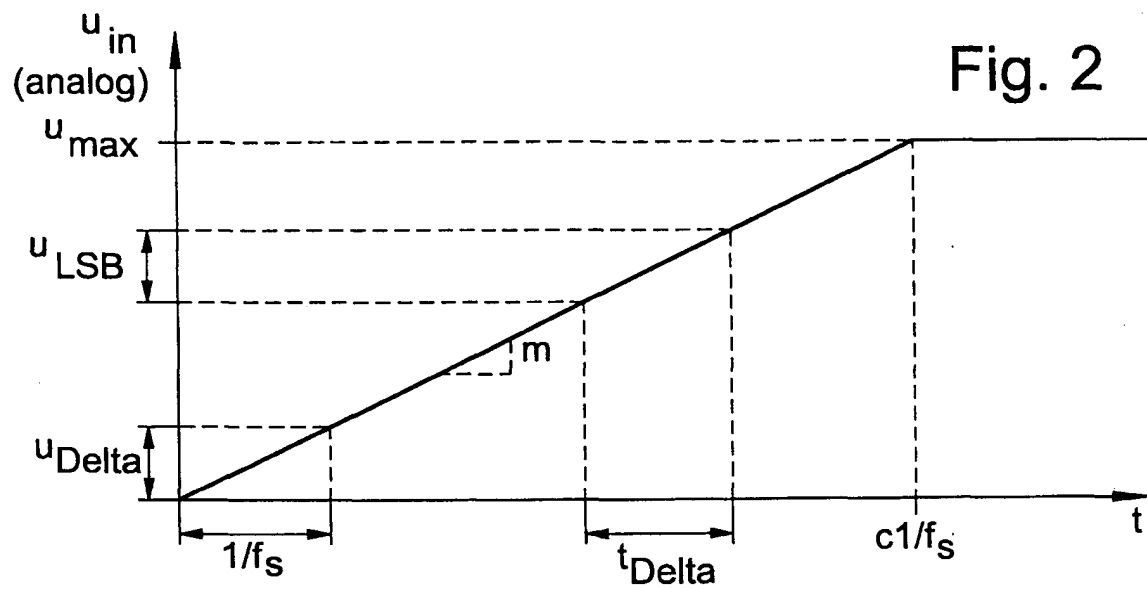
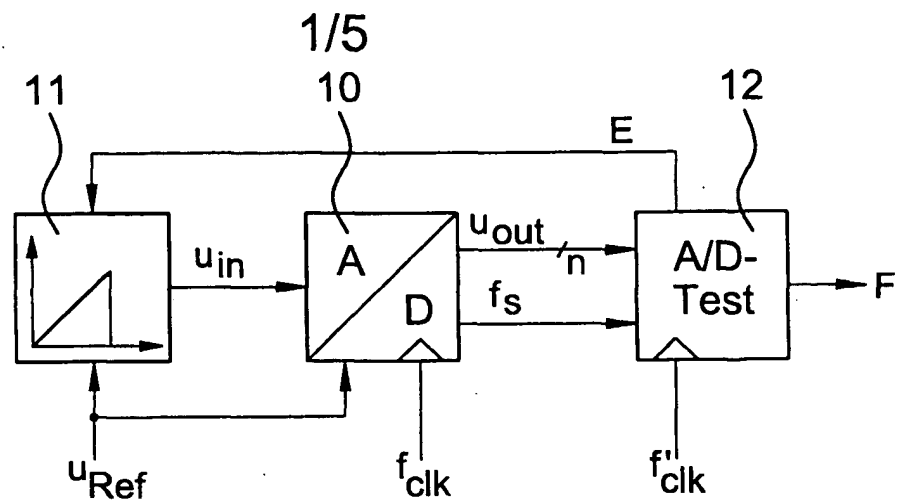
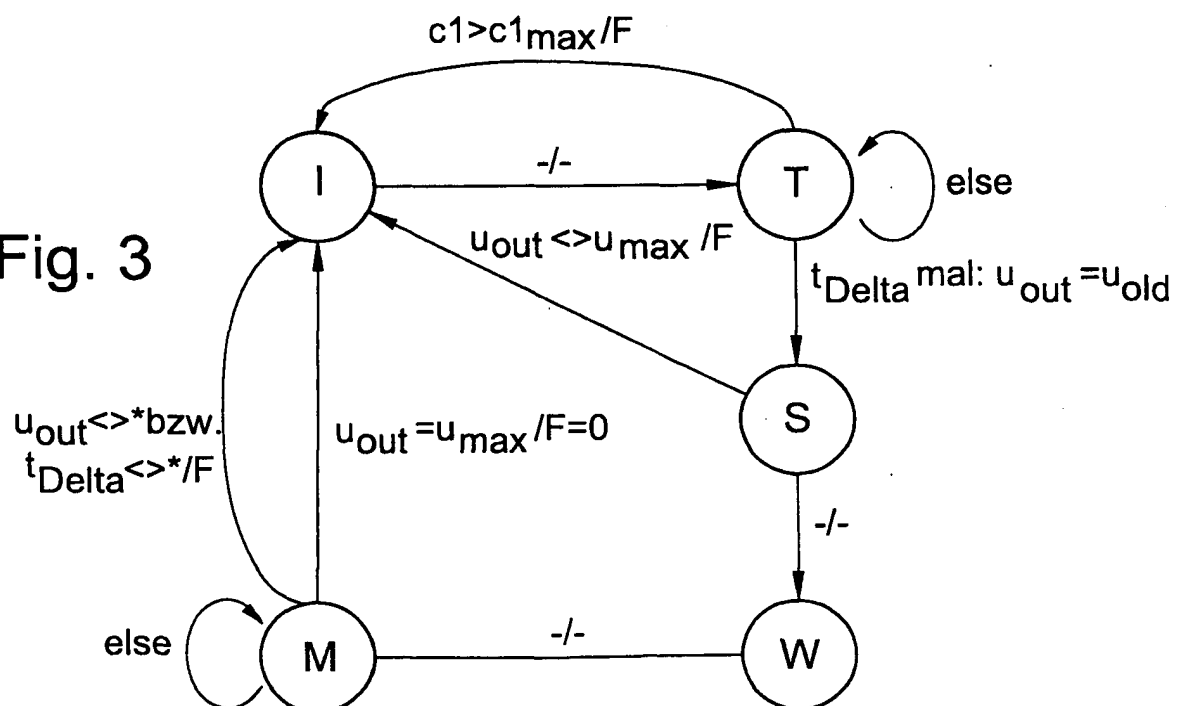
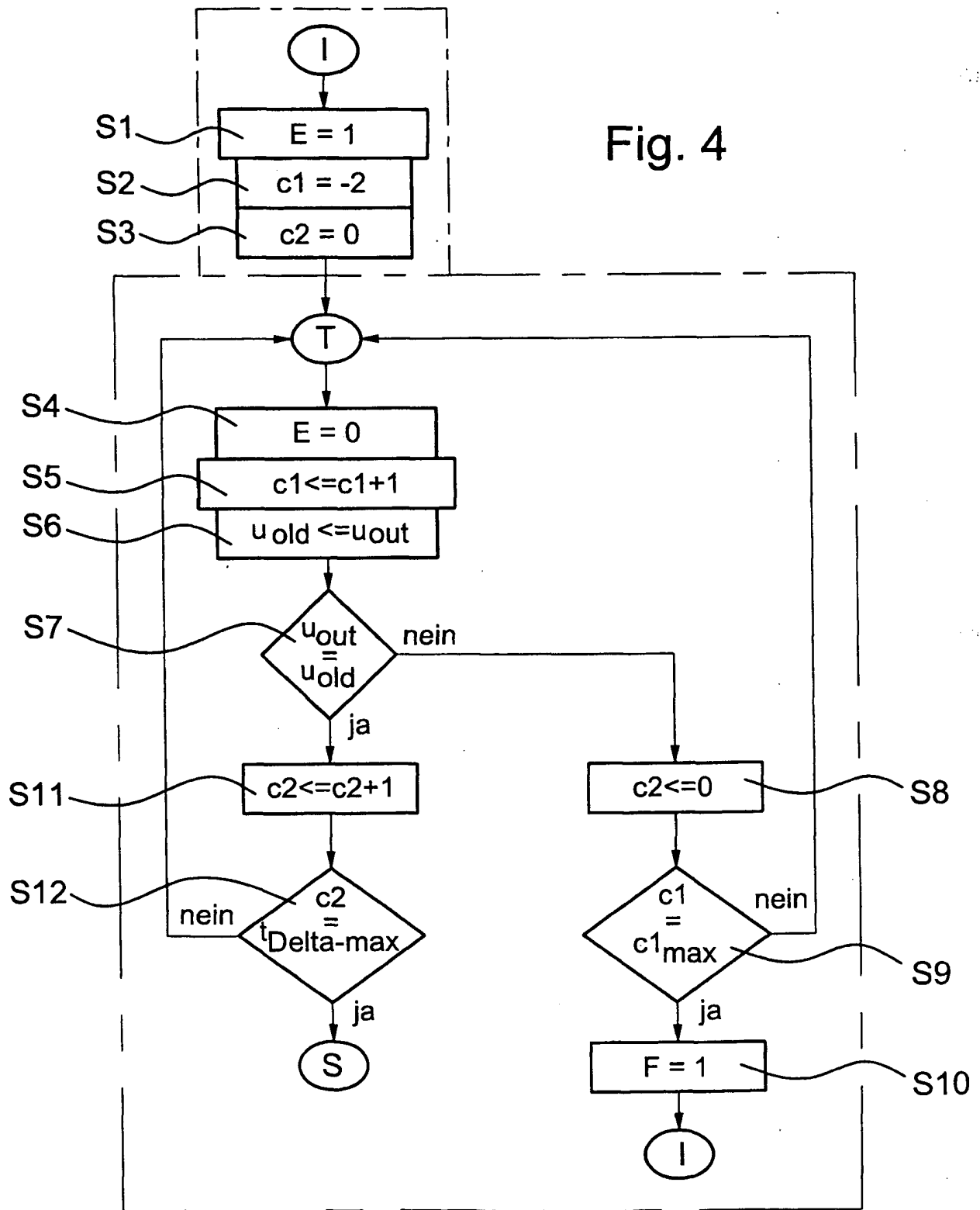


Fig. 3



2/5

Fig. 4



3/5

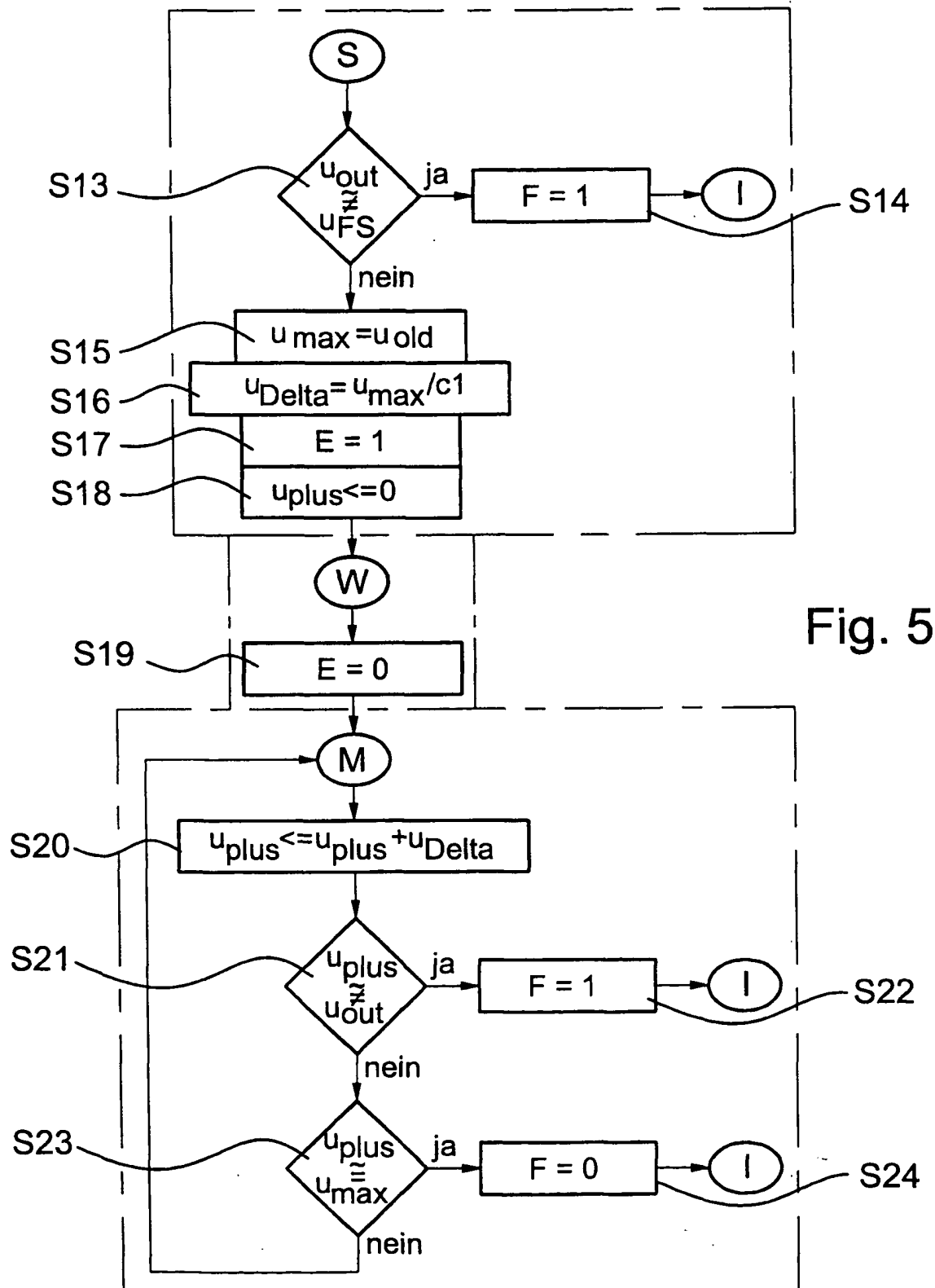
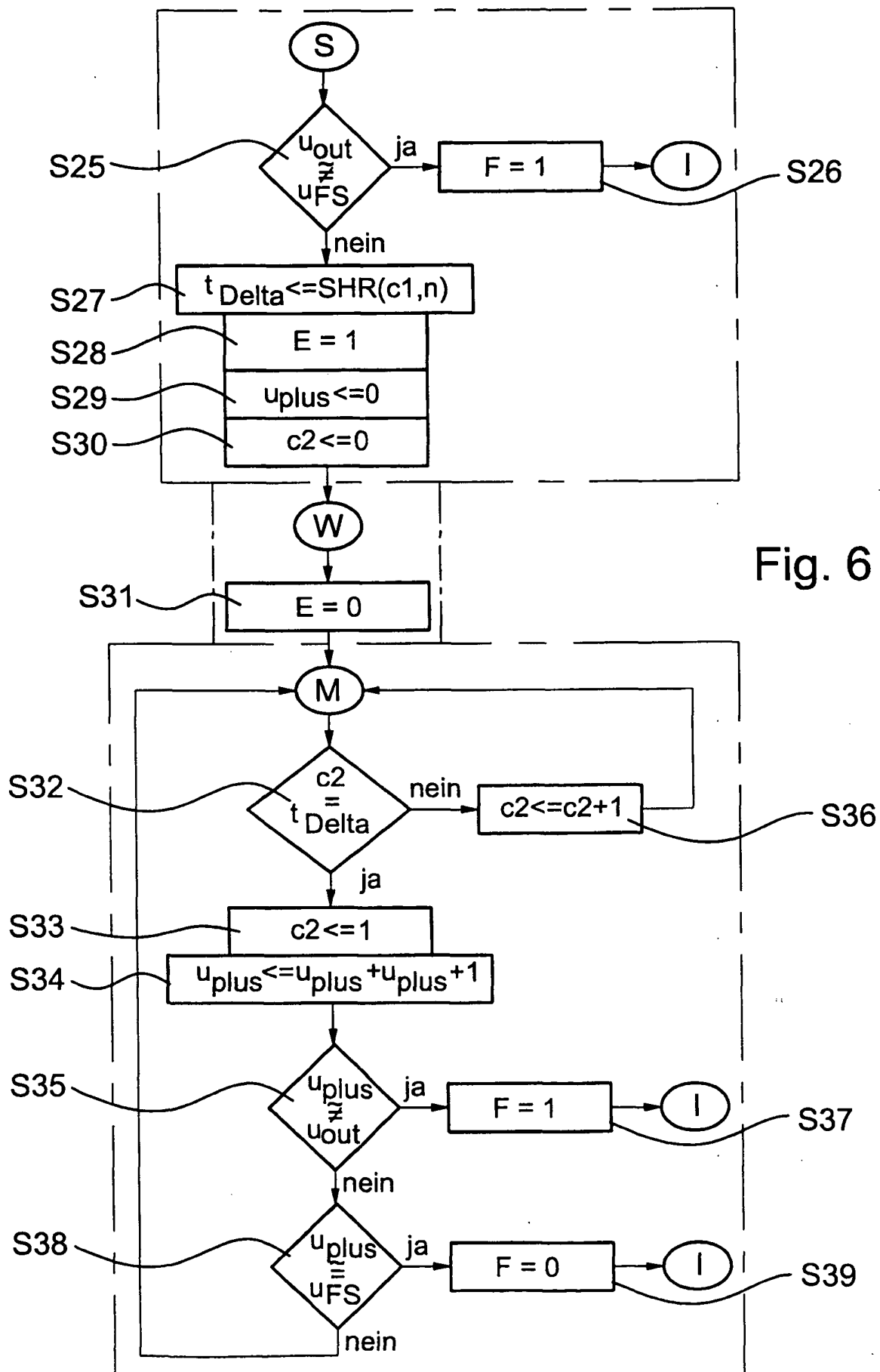


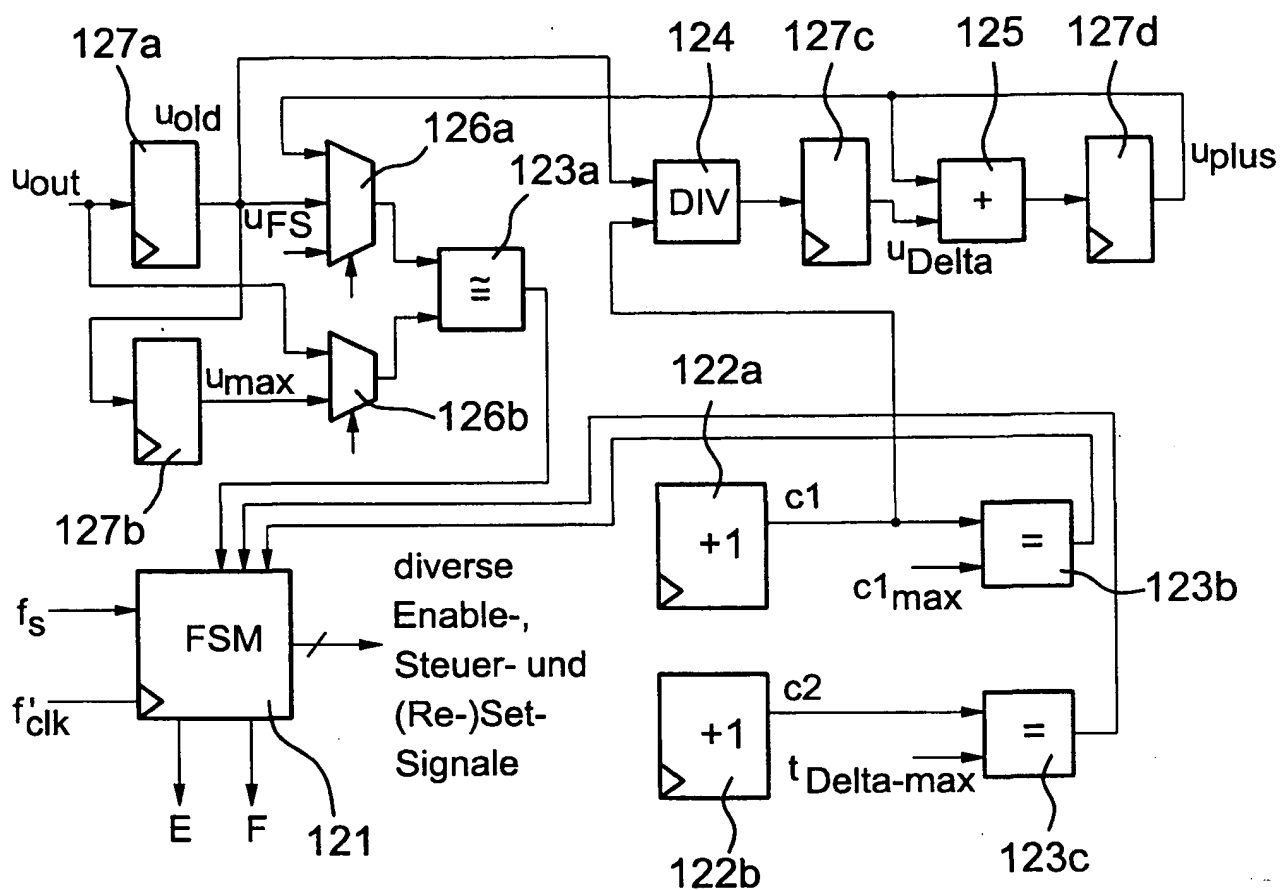
Fig. 5

4/5



5/5

Fig. 7



INTERNATIONAL SEARCH REPORT

Inte .ional Application No

PCT/EP 99/09249

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03M1/10 //H03M1/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X, P	US 5 870 042 A (NODA HIROSHI) 9 February 1999 (1999-02-09) column 19, line 40 -column 20, line 26; figure 22	1, 2
X	& JP 09 289449 A (MITSUBISHI ELECTRIC) 4 November 1997 (1997-11-04) ---	1, 2
A	WO 97 49188 A (PHILIPS ELECTRONICS NV ; PHILIPS NORDEN AB (SE)) 24 December 1997 (1997-12-24) page 8, line 30 -page 9, line 22; figure 4 --- -/--	1, 6



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

13 April 2000

Date of mailing of the international search report

08/05/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Verhoof, P

INTERNATIONAL SEARCH REPORT

Inte. onal Application No

PCT/EP 99/09249

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>W. HENKEL: "Bestimmung der Linearität von A/D-Umsetzern" ELEKTRONIK., no. 15, 27 July 1984 (1984-07-27), pages 85-86, XP002135648 FRANZIS VERLAG GMBH. MUNCHEN., DE ISSN: 0013-5658 page 85</p> <p>-----</p>	1,6

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 99/09249

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5870042 A	09-02-1999	JP 9289449 A	04-11-1997
WO 9749188 A	24-12-1997	EP 0852849 A	15-07-1998
		JP 11511934 T	12-10-1999
		US 5854598 A	29-12-1998

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 H03M1/10 //H03M1/12

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H03M

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X, P	US 5 870 042 A (NODA HIROSHI) 9. Februar 1999 (1999-02-09) Spalte 19, Zeile 40 -Spalte 20, Zeile 26; Abbildung 22	1,2
X	& JP 09 289449 A (MITSUBISHI ELECTRIC) 4. November 1997 (1997-11-04) ---	1,2
A	WO 97 49188 A (PHILIPS ELECTRONICS NV ;PHILIPS NORDEN AB (SE)) 24. Dezember 1997 (1997-12-24) Seite 8, Zeile 30 -Seite 9, Zeile 22; Abbildung 4 --- -/--	1,6

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. April 2000

Absenddatum des internationalen Recherchenberichts

08/05/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Verhoof, P

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>W. HENKEL: "Bestimmung der Linearität von A/D-Umsetzern" ELEKTRONIK., Nr. 15, 27. Juli 1984 (1984-07-27), Seiten 85-86, XP002135648 FRANZIS VERLAG GMBH. MUNCHEN., DE ISSN: 0013-5658 Seite 85</p> <p>-----</p>	1,6

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 99/09249

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5870042	A	09-02-1999	JP	9289449 A	04-11-1997
WO 9749188	A	24-12-1997	EP	0852849 A	15-07-1998
			JP	11511934 T	12-10-1999
			US	5854598 A	29-12-1998